

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭58—94227

⑪ Int. Cl.³
H 03 K 3/356
G 11 C 11/40

識別記号
1 0 1

庁内整理番号
7531—5 J
6549—5 B

⑬ 公開 昭和58年(1983)6月4日

発明の数 1
審査請求 未請求

(全 10 頁)

⑭ スタティックリセット機能を有する不揮発性
フリップフロップ

⑮ 特 願 昭57—202845

⑯ 出 願 昭57(1982)11月18日

優先権主張 ⑰ 1981年11月20日 ⑱ フランス
(FR) ⑲ 81 21801

⑳ 発 明 者 ジヤン・ミシエル・ブリス
フランス国38 000グルノーブル・
プラス・ジャクリース・マ
ヴアル2

㉑ 発 明 者 パトリック・マイヤール
フランス国38 000グルノーブル・
リュ・マルソー8

㉒ 出 願 人 ソシエテ・プール・レテユード
・エ・ラ・フアブリカシオン・
デ・シルキユイ・アンテグレ・
スペシオーウー・エフ・セー
・イー・エス
フランス国38100グルノーブル
・アヴニユ・デ・マルテール17

㉓ 代 理 人 弁理士 川口義雄 外2名

明 細 書

1. 発明の名称

スタティックリセット機能を有する不揮発
性フリップフロップ

2. 特許請求の範囲

(1) 電源電圧と基準電圧間に接続された相補接
触点Q及びQ^{*}を有するMOSトランジスタフ
リップフロップを具備した不揮発性記憶フリ
ップフロップであつて、上記不揮発性記憶フリ
ップフロップは、各々が不揮発性記憶エレメント
(電気的にプログラムし得るしきい値電圧を有
するMOSトランジスタ)とMOSトランジス
タ型のスイッチングエレメントとの直列接続回
路からなる2つの記憶分岐回路を有しており、
上記各スイッチングエレメントの端子は電源電
圧に接続されており、上記分岐回路の第1分岐
回路の記憶エレメントの主端子の一方と制御端
子とは夫々上記接続点Q及び接続点Q^{*}に接続

されており、上記分岐回路の第2分岐回路の記
憶エレメントの主端子の一方と制御端子とは
夫々上記接続点Q^{*}及び接続点Qに接続されて
おり、両スイッチングエレメントの各制御端子
は制御信号源に接続されており、更に、上記不
揮発性記憶フリップフロップは、フリップフロ
ップの正常動作、フリップフロップの状態の記
憶化、不揮発性記憶、フリップフロップのリセ
ット機能を達成するために制御信号に調達して
電源電圧を変えるための手段を有することを特
徴とする不揮発性記憶フリップフロップ。

(2) 上記MOSトランジスタフリップフロップ
は相補形トランジスタを有することを特徴とす
る特許請求の範囲第1項に記載の不揮発性記憶
フリップフロップ。

(3) 上記MOSトランジスタフリップフロップ
はエンハンスメントダイブレーション型トラン
ジスタを有することを特徴とする特許請求の範

図第1項に記載の不揮発性記憶フリツプフロップ。

(4) 上記記憶エレメントはMNOS型であり、その接続はそのソースに接続されていることを特徴とする特許請求の範囲第2項に記載の不揮発性記憶フリツプフロップ。

(5) 上記記憶エレメントは浮動ゲートMOS型であることを特徴とする特許請求の範囲第3項に記載の不揮発性記憶フリツプフロップ。

(6) 上記スイッチングエレメントはPチャネル型MOSトランジスタであり、記憶エレメントはNチャネル型MOSトランジスタであることを特徴とする特許請求の範囲第1項に記載の不揮発性記憶フリツプフロップ。

(7) 電源電圧は不揮発記憶フリツプフロップの正常の動作のための第1レベル、記憶エレメントを適切な状態に設定するための第2レベル、或いはしや断された基準電圧にあり、制御信号

はスイッチングエレメントのターンオフを可能にする第1の値と、これらのエレメントのターンオンを可能にする第2の値との間で変化することができ、不揮発性記憶フリツプフロップの正常の動作期間中は、電源電圧は第1レベルにあり、制御信号は第1の値にあることを特徴とする特許請求の範囲第1項に記載の不揮発性記憶フリツプフロップ。

(8) 記憶化の段階中、電源電圧は制御信号と共に第2レベルにあることを特徴とする特許請求の範囲第7項に記載の不揮発性記憶フリツプフロップ。

(9) 記憶段階中、電源電圧と制御信号の値とは不足であることを特徴とする特許請求の範囲第7項に記載の不揮発性記憶フリツプフロップ。

(10) 復元段階中、制御信号は徐々に第1レベルにまで上り、他方制御信号は最初に第2の値にあり、それから、一瞬間電源電圧が確立されると、

第1レベルに対応する第1の値になることを特徴とする特許請求の範囲第7項に記載の不揮発性記憶フリツプフロップ。

(11) 更に、記憶エレメントの各々と積読素Q及びQ^{*}間に夫々配設された第2のPチャネルMOSトランジスタが設けられており、これらのMOSトランジスタのゲートに印加される電圧は記憶化段階中以外の制御信号の値と同じであることを特徴とする特許請求の範囲第8項に記載の不揮発性記憶フリツプフロップ。

(12) 第1分岐回路と第2分岐回路とは不揮発性記憶フリツプフロップの上記電源電圧ではなく、別の電源電圧に接続されており、この別の供給電圧の値は、この値が上記不揮発性記憶フリツプフロップの電源電圧の上り前に上る上記復元段階中以外は重要でないことを特徴とする特許請求の範囲第8項に記載の不揮発性記憶フリツプフロップ。

(13) 更に、相補トランジスタを有するフリツプフロップの各分岐回路を構成している相補トランジスタ間に追加Pチャネルトランジスタを有しており、これらの相補形Pチャネルトランジスタはスイッチングエレメントに印加された制御信号に対して相補的な制御信号により制御されることを特徴とする特許請求の範囲第8項又は第9項に記載の不揮発性記憶フリツプフロップ。

(14) 記憶分岐回路の1方が除去されていて、残りの記憶分岐回路が作動しない所定の状態、即ち記憶エレメントが高いインピーダンスにある所定の状態にリセットされるように、上記MOSトランジスタフリツプフロップが非対称形に構成されていることを特徴とする特許請求の範囲第1項に記載の不揮発性記憶フリツプフロップ。

3. 発明の詳細を説明

本発明は保護線絶を有する素子回路、詳しくは、

記憶内容がある時点で記憶エレメントに不揮発的に記憶することができ、また記憶されたデータに従って復元することができるフリップフロップに關する。

本発明によれば、電源がしや断された場合フリップフロップに蓄積されていた情報を記憶し、電源が復旧した場合フリップフロップをリセットすることができる。

本発明は、特にMOS型デバイス、即ち半導体(II)上の絶縁層(例えば酸化シリコン)上に形成された導電ゲート(例えば金鍍膜)を有するデバイスに關する。

本発明による保護回路の目的は次の機能を達成することにある。

一 動作の安全性、特に：

- ・不揮発性記憶エレメントへフリップフロップの状態を書き込むこと。これは、いかなる動作状態においても常に可能である。

揮発性記憶フリップフロップを提供する。記憶分岐回路の各々は、電氣的にプログラムし得るしきい電圧を有するMOSトランジスタ型の不揮発性記憶エレメントとMOS型のスイッチングエレメントとの區別接続回路を有する。各スイッチングエレメントの端子は電源電圧に接続されている。第1分岐回路の記憶エレメントの制御端子の一方と制御端子とは入力端子Q及びQ^{*}に接続されており、第2分岐回路の記憶エレメントに關してはこの逆である。スイッチングエレメントの制御端子は制御信号線に接続されている。制御信号は次の機能、即ち、不揮発性記憶回路から独立したフリップフロップの正常の動作と、フリップフロップの状態の記憶化と、記憶と、フリップフロップのリフレッシュ機能を行うため供給され、制御電圧はこれらの幾つかの機能を行う際同時に電源電圧の変化に關連して変化するようになっている。上記従来型のフリップフロップは例えば相補型

電源が不揮発性記憶エレメントの状態から復元する時および正確な指令が与えられた時フリップフロップを正確にリセットすること。

- ・リセット故障中以外、記憶エレメントによりフリップフロップが影響を受けないこと。

一 使用の容易さ

- ・保護機能に必要な特定の制御線の減少。
- ・記憶及びリセット故障の速さ、特に出来るだけ短かいことが必要を記憶化の速さ。

これらの必要性を満たすため、本発明は不揮発性記憶機能を有する保護回路が連給され、記憶及びリセットの制御を一つ又はその制御ラインで行うことができるフリップフロップを提供するにある。

この目的を達成するため、本発明は、電源電圧(VDD)と基準電圧(M)間に接続され、2つの記憶分岐回路が附加された相補端子Q及びQ^{*}を有する従来型のMOSフリップフロップを有する不

MOSトランジスタか或いはエンハンスメントおよびデイスプレッション型MOSトランジスタかで形成されている。記憶エレメントはMOS(金属-酸化物-絶縁物-半導体)トランジスタであり、その基板はソースと接続されている。これらの記憶エレメントは又浮動ゲート型であり得る。スイッチングトランジスタはPチャネル絶縁ゲート型MOSトランジスタであり、記憶エレメントはNチャネル型である。本発明による不揮発性フリップフロップを4つの段階、即ち、記憶に無関係な正常動作、記憶化動作、記憶中動作及びリセット動作について可能にするため、電源電圧は、フリップフロップの従来の動作を可能にする第1レベルと記憶エレメントのしきい値を渡えることを可能にする第2レベル間で変わり得る。また、電源電圧は除去され得く、そのため不揮発性記憶機能が設けられるのである。スイッチングエレメントに適用された制御信号は、スイッチングエ

レメントをターンオフし得る第1の値とこれらのエレメントをターンオンし得る第2の値間で変わり得る。

フリップフロップの正常の動作状態中、電源電圧は第1レベルにあり、制御信号は第1の値にある。記憶化状態中、電源電圧は第2レベルにあり、制御信号は第1の値にとどまるか或いは第2レベルに遷移する。記憶状態中、電源電圧と制御信号とは零であるか或いは非零している。最後に、リセット状態中、電源電圧は第1レベルで検見され、他方制御信号は、フリップフロップの正常の動作状態に遷移するために第1の値にまで大きくなる前に、最初に第2の値にある。

本発明の利点によると、フリップフロップの内容が記憶化される前記のみ、記憶エレメントは動作サイクルになることに注目されたい。フリップフロップの状態が変化する毎にこれらのエレメントの状態は変化しない。この特徴は、MOSトラン

ジスタの動作サイクルが 10^4 乃至 10^6 サイクルの範囲内の値に制限されるため、MOS型トランジスタが記憶エレメントとして用いられるときは特に重要である。

本発明は前記利点と、更に記憶化がたつた1つの制御サイクルにより特に簡単に迅速に記憶がなれるという利点とを有している。

これらの目的、特徴及び利点を、本発明の他の利点等と共に添付の図面に関する好適具体例の次の説明により詳細に説明する。

フリップフロップを示す図では入力／出力導体と、接続点Q及びQ^{*}と接続されたフリップフロップの周辺装置とは図示されていない。それらは従来の方法で配置される。

第1図は本発明による回路の一般図式図である。この回路は相補端子又は接続点Q及びQ^{*}を含む従来型の双安定フリップフロップを有しており、上記接続点の各々は2つの論理状態の一方又は他

方を取り得るが、しかし決して同じ状態は取り得ない。このフリップフロップは例えば5ボルトの電源VDDと例えばアースのような基準電圧E間接続されている。従つて2つの論理状態Q及びQ^{*}は電圧VDDか或いはアース電圧Eに対応する。通常のフリップフロップ動作においては、電圧VDDは通常約5ボルトである。

フリップフロップ1は難溶性フリップフロップ即ち、電源VDDが除去されるとフリップフロップの最後の状態が失われる型式のものである。電圧の除去以前に記憶されていた最後の情報を保護するため、各々記憶エレメント2又は4と、制御スイッチ3又は5とを有する2つの記憶分岐がフリップフロップに付加されている。これらの2つの記憶分岐はフリップフロップ出力の一方と電圧VDD間に接続されている。制御スイッチ3及び5は同じ制御電圧Gを供給され、同時にオン脱いはオフの状態にある。記憶エレメント2及び4

は2つの電気的にプログラムし得るしきい値電圧を有するMOSトランジスタであり、2つの主端子と1つの制御端子とを有する。この制御端子はフリップフロップ1の相補端子の一方に接続され、またこの相補端子の他方に主端子の一方が接続されている。

保護動作、即ち記憶エレメント2及び4を適切な状態にするために、電源がしや断される直前に電圧VDDを上昇させる。電源電圧を目的にしや断する場合これはおこない得る。電源電圧が偶然にしや断される場合、電源電圧の低下が検出されるやいなや、短期間の間そのようを高電圧を供給するための回路は知られており、この場合、その高電圧源は例えばデバイスの通常の動作中にコンデンサに供給されているのである。そして、高電圧が現れると、高電圧はフリップフロップの接続点Q及びQ^{*}間に印加され、各記憶エレメント2及び4の制御端子と主端子の一方との間で逆に

作用する。記憶エレメントのプログラマブルしきい値電圧がフリップフロップの通常の動作電圧よりも高い場合、これは一般に通常のデバイスに見られる場合だが、この場合には記憶エレメント2及び4を前状態にセットすることが可能になる。記憶エレメント2及び4に記憶された状態によつて、電流が復旧した時フリップフロップをリセットする方法については、説明を簡略化するため本発明の好適具体例の説明と共に以下で詳細に説明する。

「電気的にプログラムし得るしきい値電圧式MOSトランジスタ」型の記憶エレメントは、例えばMNO₃（金属-酸化物-絶化物-半導体）セルか、又は最近ではフロトックス（Flotox）トランジスタと呼ばれるような浮動ゲートトランジスタである。図示には記憶エレメント2及び4は、双安定フリップフロップ1を構成するエレメントと調和して製造され得るエレメントの中から選択

スタT1及びT2のゲートはトランジスタT3及びT4のドレイン/ソース接続点と接続されており、トランジスタT3及びT4のゲートはトランジスタT2及びT1のソース/ドレイン接続点と接続されている。トランジスタT3及びT4のゲートの接続点に対応する端子はQ^{*}で示され、トランジスタT1及びT2のゲートの接続点はQで示されている。

このフリップフロップの動作についてはそれぞれ公知であるのでここでは詳細に説明しない。本発明ではこのフリップフロップに2つの記憶分岐が付加されている。接続点Q^{*}に接続された第1分岐はPチャネルMOSトランジスタT5と直列接続されたMNO₃エレメントTM1を含んでおり、このトランジスタT5の制御は電源電圧V_{DD}に接続されている。同様に接続点Qと電源電圧V_{DD}間に接続された第2分岐はMNO₃エレメントTM2とPチャネルトランジスタT6を含む。Pチャ

ネル。例えば、フロトックス型の浮動ゲートトランジスタを用いる場合、現在ではより容易に同立し得る技術はエンハンス型/デプレッション型NチャネルMOSトランジスタ型のMOS技術である。代りに、MNO₃記憶エレメントは現在ではCMOSフリップフロップの製造と相立する。この後者の具体例については以下で一例として説明し、この具体例に関連して本発明による不揮発性記憶フリップフロップの動作モードを詳細に説明する。

図2図に図示された具体例ではフリップフロップ1は相補MOSトランジスタ（CMOS）を有する。それは4つのトランジスタT1乃至T4を含んでおり、トランジスタT1及びT3はNチャネル型であり、トランジスタT2及びT4はPチャネル型である。トランジスタT1及びT2はアースと電源電圧V_{DD}間に直列接続され、トランジスタT3及びT4も同様に接続されている。トランジ

ネルトランジスタT5及びT6のゲートは制御信号線ORに相互接続されている。MNO₃記憶エレメントTM1のゲートは接続点Qと接続されており、エレメントTM2のゲートは接続点Q^{*}と接続されている。トランジスタTM1及びTM2の各々のソースと基体は夫々接続点Q^{*}及び接続点Qに相互接続されている。図3図には又トランジスタTM1及びTM2の基体とドレイン端子間に現れる浮遊ダイオードが図示されている。

電源端子V_{DD}と制御端子ORに印加された電圧を示す第3図に関連してこのデバイスの動作について説明する。

通常の動作の段階1では、電源電圧V_{DD}は例えば5ボルトのフリップフロップの通常の動作電圧である。制御信号ORは、トランジスタT5及びT6をターンオフするために、V_{DD}と同様例えば5ボルトの高いレベルにある。この状態においては、エレメントTM1及びTM2のゲートとソー

ソース基極間に印加された電圧は約5ボルトであつて、これらのエレメントのしきい値状態を変えるには不十分である。従つて、トランジスタ T_5 及び T_6 のターンオフにより記憶分岐はフリップフロップの動作に実質上影響を与えない。これらの唯一の影響はMOSエレメントの存在により接続点 Q 及び Q^* での相対キャパシタンスにある。本発明の電圧分岐によると注目すべきことに、MOSエレメントのプログラム化を超越しないフリップフロップの状態の変化中これらのMOSエレメントに印加された5ボルトの電圧はこれらのエレメントの電圧をうみ出さず、これらの状態では、双安定フリップフロップは無数の状態変化を繰り返す。

記憶化の段階3では、端子 V_{DD} での電圧は、MOSエレメントのしきい値電圧に作用するように例えば1.8ボルトの基準電圧である高いレベルにまで断続的に上昇する。同時に信号 Q は電圧

インピーダンス)。トランジスタ T_5 及び T_6 がブロックされているため電流の流れがなくともこの記憶化段階は生じる。従つて回路の消耗は非常に低い。

この記憶化段階後、デバイスの通常の動作が復元されると、MOSエレメントに記憶された状態により記憶化の時に存在するその状態にフリップフロップをリセットすることが可能になる。しかし通常、記憶化段階の次には電源電圧 V_{DD} と制御信号 Q が零レベルにあるか或いは浮動している記憶段階が続く。

フリップフロップをリセットするには、第3図の段階4に図示するように、電源電圧 V_{DD} は再び供給され、信号 Q は零に維持される。前述した場合に、エレメント TM_1 は導通状態にあり、エレメント TM_2 はブロックされた状態にある。 V_{DD} 電圧が上昇する間、Pチャネルトランジスタ T_2, T_4, T_5, T_6 のしきい値電圧 V_{TP} に達

V_{DD} に続いて1.8ボルトにまで上る。この状態では、MOSエレメント TM_1 及び TM_2 のゲートとソース基極間に1.8ボルトの正又は負の電圧が印加される。特にフリップフロップの最後の状態で Q^* が高レベル、 Q が低レベルにあると仮定すると、エレメント TM_1 はそのゲート上に0ボルトの電圧を、そのソース及び基極上に1.8ボルトの電圧を印加され、他方エレメント TM_2 はそのゲート上に1.8ボルトの電圧を、そのソース及び基極上に0ボルトの電圧を印加されている。従つてエレメント TM_1 は低いしきい値電圧に、エレメント TM_2 は高いしきい値電圧にプログラムされる。従つて、0に等しいゲート-ソース電圧に到り、エレメント TM_1 はダイブレンション状態にあり、即ちドレインとソース間でターンオフされており(低いインピーダンス)、他方エレメント TM_2 はエンハンスメント状態にあり、即ちドレインとソース間でターンオフされている(高いイ

しない間は、Pチャネルトランジスタ T_2, T_4, T_5 及び T_6 はターンオフされたままとどまる。電圧 V_{DD} がこの値 V_{TP} を越えると、Pチャネルトランジスタは導通し始め、接続点 Q 及び Q^* での電圧は上昇する。次に第1記憶分岐(T_5, TM_1)の導通状態により接続点 Q^* の電圧は電圧 V_{DD} の増加に伴い増加し、フリップフロップの動作によりトランジスタ T_1 及び T_2 のゲート上に反対の電圧を生起する。即ちトランジスタ T_2 はターンオフされ、トランジスタ T_1 はターンオンされる。接続点 Q での電圧は低く、接続点 Q^* での電圧は高い。第4図には電圧 V_{DD} の変化と共に電圧(V_Q 及び V_{Q^*})の変化がより詳細に図示されている。

リセット段階中の動作は信号 Q が0ボルトに維持されることを必要とする。これは、リセット段階中、局所装置の動作と関連した問題を生起する。事実、電源電圧が少くともNチャネルトラン

トランジスタのしきい電圧に達しない限り、即ちトランジスタがターンオンしない限り、電圧が等価ととまることを確かめることは困難である。そして、出力接続点 Q 及び Q^* は高いインピーダンスの状態にあり、電圧を決定するのは各電圧分岐点だけである。従つて開示されたデバイスはスタティックリセット型であるが、MOSエlementにより導入されたオフセットが低い状態に電圧分岐点ダイナミックなものも提供されてはならない。特に接続点 Q 及び Q^* は浮遊ダイオード、トランジスタのキャパシタンス、及び浮遊キャパシタンスを介して V_{DD} に接続し得る。電圧 V_{DD} の立ち上がり時間の値が考慮されねばならない。立ち上がり時間が長い場合、容許性の面が損なわれ得る。

技術に關し、第2図に示された回路はパルス上又は絶縁状態上でCMOS技術を用いることにより達成され得る。絶縁状態の場合、トランジスタは当然互いに絶縁されている。パルス技術の場合、

じである。トランジスタ T_7 及び T_8 はフリップフロップの正常な動作段階中ブロックされ、従つてMOSエlementに対し接続点 Q および Q^* を絶縁させることにより接続点 Q 及び Q^* 上に印加される容許電位値を減らすことを可能にする。トランジスタ T_7 及び T_8 のゲート上の制御信号は、これらのトランジスタが導通しなくてはならない記憶化段階中以外の全ての段階中の制御信号 R と同じである。この変形例ではフリップフロップのダイナミック特性が改良されるが、しかし2つの追加トランジスタと特定の制御ラインとが付加される。

第3図には第2の変形例が図示されている。この回路は一般に第2図の回路と同じであるが、しかしフリップフロップの電源電圧 V_{DD} と記憶分岐回路の供給電圧 V_{DD2} に対し別個の電源ラインが設けられている。この変形例の目的は、主にリセット中のフリップフロップの負荷 T_2 及

Nチャネルトランジスタ T_1 及び T_3 とMOS

Nチャネルエlement T_{M1} 及び T_{M2} とはP型領域に打込まれている。これらの領域は図示されたように、プーカ設けはこれらの領域に包まれるNチャネルトランジスタのソースに接続されている。浮遊ダイオード接続/接続はある種キャパシタンスを有しており、その接続電圧は回路に印加された電圧よりも高く、その浮遊電圧はごくわずかである。

フリップフロップの幾つかの特徴を、特に復元段階中の動作の安全性を改良し得る前記具体例の幾つかの変型について以下で説明する。

第3図は図示された変形例では、図2は一般に第2図の回路と同じであるが、しかし2つのPチャネルトランジスタ T_7 及び T_8 が矢々MOSトランジスタ T_{M1} 及び T_{M2} のソースと接続点 Q^* 及び Q 間に付加された。電源電圧 V_{DD} と信号線 R 上の長なる段階中の作用は第2図の作用と同

び T_4 の作用を減らすことによりリセット段階中の動作の安全性を改良すること、即ち主にリセット段階中、フリップフロップの負荷 T_2 および T_4 の作用を除去ことである。そして、記憶分岐回路が負荷を解放しているのである。リセット段階中、電圧 V_{DD} は最初に浮動状態にとどまるのに対して、電圧 V_{DD2} は増加する。従つてフリップフロップのリセット中、電流は負荷の甲を循環し得ない。フリップフロップがリセットされる(V_{DD2} が例えば5ボルトに達する)時限のみ、電圧 V_{DD} は(例えば5ボルトの)公称値にまでより、この時、最安定フリップフロップの負荷を接続する。一度リセットインがなされ、制御信号 R がPチャネルトランジスタ T_5 及び T_6 をターンオフすると、電圧 V_{DD2} の値が V_{DD} よりも高くない限り電圧 V_{DD2} の値は比例係である。

第4図に図示された第3の変形例は負荷を絶縁させるという第2の変形例と同じ目的を有する。

この回路は一般に第3図の回路と同じであるが、しかし8つのトランジスタ T_8 及び T_9 が夫々一方ではトランジスタ T_1 及び T_2 間、他方ではトランジスタ T_3 及び T_4 間に挿入されている。これらのトランジスタは信号 Q_R に偏し相補的な制御信号 $Q_R^{\#}$ により制御される。従つて、これらのトランジスタは接続点 Q 及び $Q^{\#}$ の負荷を絶縁させるリセット段階中以外恒常にターンオンされている。従つて、充電中の電圧 V_{DD} の立上りの最初の部分では、信号 Q_R はトランジスタ T_8 及び T_9 をターンオンさせるため Q ポットに維持され、他方信号 $Q_R^{\#}$ は、電圧 V_{DD} がPチャネルトランジスタの立上り電圧を超えるやいなやトランジスタ T_9 及び T_1 をターンオフするため電圧 V_{DD} に続く。従つてトランジスタ T_8 及び T_1 により生成された負荷は接続点 Q 及び $Q^{\#}$ に対し絶縁されており、MOSBエレメントはこれらの立上り電圧(それらの導電状態)に従つてこれらの

ース接続部と相互接続されている。

記憶分岐回路と記憶エレメントとは第2図に開する前記説明と同様に接続されている。第3図に図示された双安定フリップフロップはそれ自身公知である。それをここで説明したのは本発明が特定の型のフリップフロップの使用に限定されないという事実を強調するためである。動作の安全性を高めるため、しきい値電圧 V_{DD} が増加し、リセットインプを乱すと僅くはセル(T_{12} , T_{14})の通常の負荷がターンオンされるため、この型の技術と共に第4図の定形を用いることが可能である。従つてリセットインプ中これらのダイブレーション型の負荷を絶縁させることが望ましい。従来型のフリップフロップがエンハンスメント/ダイブレーション型Nチャネルトランジスタの組合を用いる場合、現在では記憶エレメント TM_1 及び TM_2 を構成するそのようなフリップフロップ駆動ゲートトランジスタと結合させることが技術

的接続点の電圧を制御する。

第3図は本発明の別の具体例を示しており、ここでは従来型のフリップフロップ1はもはや相補型MOSトランジスタを含まないが、しかしエンハンスメント型およびダイブレーション型MOSトランジスタの組合を含んでいる。このフリップフロップは4つのNチャネルトランジスタ T_{11} 乃至 T_{14} を含む。トランジスタ T_{11} 及び T_{12} はトランジスタ T_{13} 及び T_{14} と同様に直列接続されている。トランジスタ T_{11} 及び T_{13} はエンハンスメント型であり、即ちそれらは通常オフにあり、トランジスタ T_{12} 及び T_{14} はダイブレーション型であり、即ちそれらは通常オンにある。トランジスタ T_{12} 及び T_{13} のゲートは相互に接続されており、トランジスタ T_{11} 及び T_{12} のドレイン/ソース接続部に接続されている。トランジスタ T_{11} 及び T_{14} のゲートはトランジスタ T_{13} 及び T_{14} のドレイン/ソ

的に簡単である。

以上、不揮発性機能を得るための2つの記憶分岐回路と結合されたフリップフロップについて説明してきた。前記従来型のフリップフロップは対称型であり、又記憶エレメント TM_1 及び TM_2 の2つのしきい値閾の差が減少し、他方これらのデバイスが劣化する時でも満足し得るように作用するため出来るだけ対称的でなければならなかった。更に記憶分岐回路がない時ある状態に自動的にリセットされる非対称フリップフロップを提供し得、このフリップフロップと結合された記憶エレメントが低いインピーダンス状態にある時、このフリップフロップを他の状態にリセットし得る1組の記憶分岐回路を七のような非対称フリップフロップに結合させることが可能である。七のような非対称フリップフロップの制御モードは前記フリップフロップの制御モードと同じである。この構造の利点はシリコンの使用された表面が被

少することであるが、しかし欠点は非対称フリップフロップは対称的フリップフロップよりも幅度が低いということであり、これは特にそのようなフリップフロップは満足し得る動作を提供するため、MOS エLEMENTのオフ状態とオン状態間のより大きな差を必要とするということを意味する。

前記変形例は、第2図で特別に、第1図でより一般的に図示された基本回路に用いられ得る変形例にすぎない。当然本発明の範囲から逸れることなく他の変形も可能であり、特に図示された変形を組合せることも可能である。

4. 図面の簡単な説明

第1図は本発明による不揮発性フリップフロップの一般図式図、第2図は従来型のフリップフロップが相補型MOSトランジスタを含むことを特徴とする本発明によるデバイスの第1の具体例を示す説明図、第3図は様々な動作段階中デバイスに印加された電圧を示す図、第4図は記憶段階後

のフリップフロップリセット中デバイスに印加された電圧の変化を示す図、第5図、第6図、第7図は第1の具体例の変形を示す図、第8図は従来型のフリップフロップがエンハンスメント/デプレッション型MOSトランジスタを含むことを特徴とする本発明によるデバイスの第2の具体例を示す図である。

1…フリップフロップ、2、4…記憶エレメント、3、5…スイッチ、T1、T2、T3、T4、T5、T6、TM1、TM2…トランジスタ。

本発明は、コンピュータのメモリ装置に適用される。
 本発明は、メモリ装置に適用される。
 本発明は、メモリ装置に適用される。
 本発明は、メモリ装置に適用される。

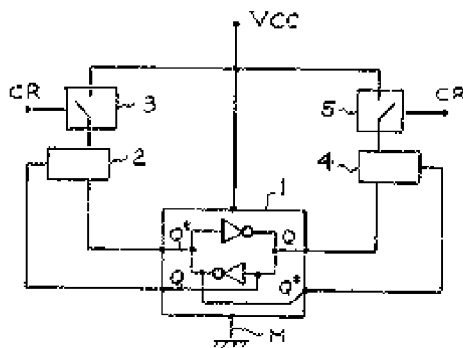


Fig.1

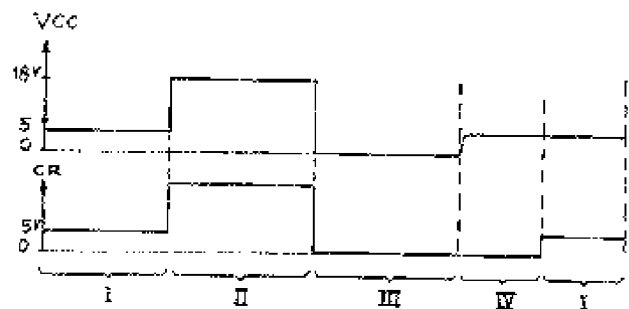


Fig.3

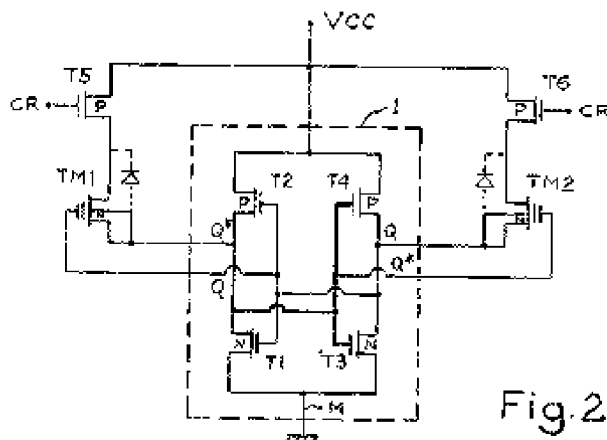


Fig.2

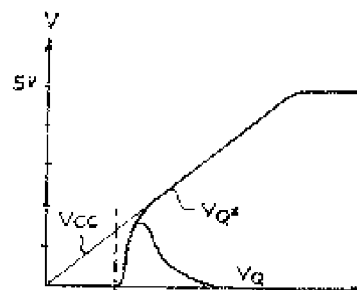


Fig.4

